

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-094917  
(43)Date of publication of application : 09.04.1999

(51)Int.CI. G01R 31/30  
G06F 11/22  
H01L 21/66  
H01L 27/04  
H01L 21/822

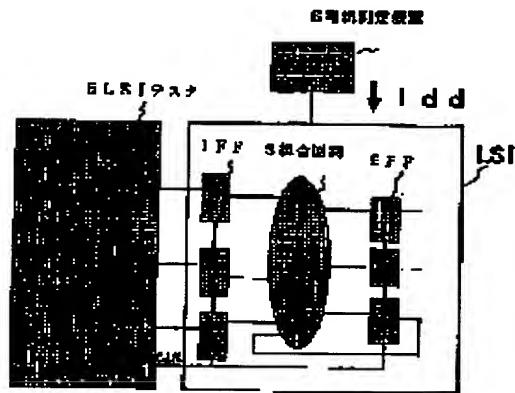
(21)Application number : 09-255282 (71)Applicant : NEC CORP  
(22)Date of filing : 19.09.1997 (72)Inventor : ISHII TOSHI

## (54) METHOD AND DEVICE FOR TESTING SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To measure the highest operating frequency of a semiconductor device which performs high-speed clock operations without using any high-speed LSI testing machine at the time of conducting AC (performance response) tests on the semiconductor device.

SOLUTION: At the time of measuring and sorting the AC operations of a semiconductor device LSI provided with a CMOS circuit composed of flip flops 1 and 2 which operate synchronously to signals from a clock input terminal and a combinational circuit connected between the outputs of the flip flops 1 and the inputs of the flip flops 2, an LSI tester 5 which impresses a signal waveform for testing upon the device LSI and a power supply current device 6 which observes the time response waveform of the power supply current  $I_{dd}$  of the device LSI are used and the highest operating frequency of the semiconductor device LSI is found from the transient response of the waveform of a power supply current from the device LSI.



### LEGAL STATUS

[Date of request for examination] 19.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3094969

[Date of registration] 04.08.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-94917

(43)公開日 平成11年(1999)4月9日

(51) Int.Cl.<sup>6</sup> 識別記号  
 G 0 1 R 31/30  
 G 0 6 F 11/22 3 1 0  
 H 0 1 L 21/66  
 27/04  
 21/822

F I  
 G 0 1 R 31/30  
 G 0 6 F 11/22 3 1 0 H  
 H 0 1 L 21/66 V  
 27/04 T

審査請求 有 請求項の数5 O L (全 6 頁)

(21)出願番号 特願平9-255282  
 (22)出願日 平成9年(1997)9月19日

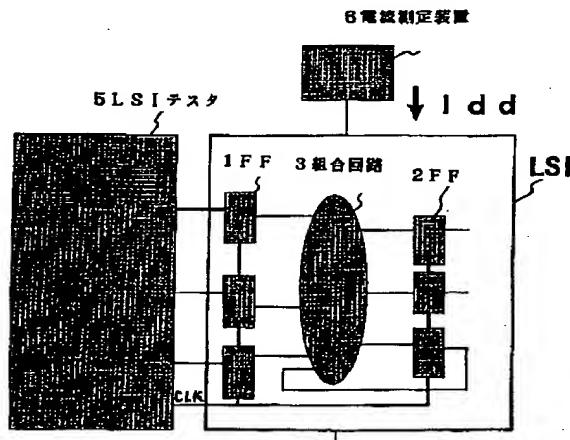
(71)出願人 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (72)発明者 石井 利生  
 東京都港区芝五丁目7番1号 日本電気株  
 式会社内  
 (74)代理人 弁理士 菅野 中

## (54)【発明の名称】 半導体装置用試験方法及び装置

## (57)【要約】

【課題】 高速のクロック動作を行う半導体装置のAC動作試験において、高速なLSI試験機を用いることなしに、最高動作周波数測定を可能にする。

【解決手段】 クロック入力端子からの信号に同期して動作するフリップ・ブロック1、2とそれらフリップ・フロップ1、2の入出力間に接続された組合回路3とかなるCMOS回路をもつ半導体装置LSIのAC動作測定選別を行う際に、その半導体装置LSIに試験用の信号波形を印加するLSIテスタ5と、半導体装置LSIの電源電流Iddの時間応答波形を観測する電源電流装置6とを有し、半導体装置LSIからの電源電流波形過渡応答により、その半導体装置LSIの最高動作周波数を求める。



1

## 【特許請求の範囲】

【請求項1】 CMOS回路を搭載した半導体装置の特性を試験する半導体装置の試験方法において、前記半導体装置にクロック信号を入力させ、

クロック動作タイミングから電源電流を増加して、再度定常に0となるまでの遅延時間の逆数から最高動作周波数を求める特徴とする半導体装置用試験方法。

【請求項2】 同一構成の複数個の半導体装置に対して、その対応する入力端子に試験用の信号波形を与え、該複数個の半導体装置からの電流波形の波形の差分を求め、

前記半導体装置の最高動作周波数を相対的に求めることを特徴とする請求項1に記載の半導体装置用試験方法。

【請求項3】 半導体テスタと、観測手段とを有し、CMOS回路を搭載した半導体装置の特性を試験する半導体装置用試験装置であって、

前記半導体テスタは、前記半導体装置に試験用の信号波形を印加するものであり、

前記観測手段は、前記半導体装置の電源電流の時間応答波形を観測し、その電流波形の形状により、該半導体装置の最高動作周波数を求めるものであることを特徴とする半導体装置用試験方法。

【請求項4】 前記半導体装置は、クロック入力端子とその入力端子に同期して動作を行う複数個のフリップ・ロックによる順序回路と、それらフリップ・フロップに接続された組合回路とからなるものであることを特徴とする請求項3に記載の半導体装置用試験装置。

【請求項5】 前記半導体テスタは、同一構成の複数個の半導体装置に対して、その対応する入力端子に試験用の信号波形を与えものであり、

前記観測手段は、前記複数個の半導体装置からの電流波形の波形の差分を求め、前記半導体装置の最高動作周波数を相対的に求めることを特徴とする請求項1に記載の半導体装置用試験装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置用の試験方法に関し、特にその半導体装置のAC動作/サイクル動作判定方法及びその装置に関する。

## 【0002】

【従来の技術】 従来、クロック動作するフリップ・フロップ(以下、FEという)を含む同期式回路を搭載した半導体装置では、動作応答特性(以下、AC特性という)による選別を行う際の項目として、最高動作周波数を測定することが、一般に行われている。測定する半導体装置の最高動作周波数がAC選別を行うLSIテスタの動作周波数に対して低ければ、機能試験時のクロック・サイクル周波数を変化させることにより、最高動作周波数を測定することができる。

## 【0003】 図5に示す半導体装置は、クロックCLK

2

に同期する複数個のFF1、2と、それらの間をつなぐ組合回路3とからなる同期回路を含んでいる。図5に示す構成の半導体装置での一般的な動作では、クロック同期して、FF1、2の出力が変化し、その変化が組合回路3を構成する複数段の基本ゲートに伝わり、順次各段のゲート出力が確定していき、最終的にある遅延時間を経過した後で、FF1、2の入力部の直前のゲートの出力が確定する。このような回路での最高動作周波数fmaxは、FF1、2でのセットアップ/ディレイ時間を除けば、ほぼ、このFF1、2間に挟まれた組合回路3の遅延の中で最大の遅延時間Td、maxの逆数で求められる。

$$f_{max} \sim 1/T_d, max$$

【0004】 半導体装置に与えられるクロックの周波数が、この値よりも大きい場合は、最初のクロックによる前段のFFの出力の信号変化が組合回路で確定し、後段のFFの入力に伝わる前に次のクロックが入るため、回路は誤動作を引き起こすことがある。

【0005】 半導体装置の試験で、この最高動作周波数fmaxの測定には、LSIテスタによる機能試験での判定によって行なうことが一般的である。この場合、半導体装置に与える入力のクロック周波数を変化させて、機能試験を行うことで求められる。

【0006】 図6は、図5に示す従来例に係る半導体装置の試験方法を示す構成図である。ここで、LSIテスター4のドライバ一部DRVは、試験を行う半導体装置LSIのクロック入力を含む入力端子に接続され、コンバーラータ部CMPは、半導体装置の出力端子に接続されている。この状態で、LSIテスターの機能試験のクロック周波数を変えた条件により、各入力端子から、機能試験用の信号パターンを半導体装置LSIに入力し、各半導体装置LSIからの出力信号をLSIテスターのコンバーラータ部CMPにて期待パターンと比較し、機能判定を行う。最高動作周波数は、正常動作と判定された機能試験時のクロック周波数の上限から求められる。

## 【0007】

【発明が解決しようとする課題】 しかしながら、上述した従来例では、試験を行う半導体装置の最高動作周波数が高く、測定を行うLSIテスターの動作周波数がこれに対応できない場合には、このような形式の試験方法を用いることはできない。

【0008】 このため、半導体装置の最高動作周波数が高い場合には、より高性能なLSIテスターが必要となる。また、半導体装置の機能試験を高い周波数で測定する場合、半導体装置の内部のゲートのスイッチング電流による動作ノイズや、出力バッファが、LSIテスターまでの配線を駆動する際の同時動作ノイズを押さえることが必要となる。

【0009】 これらの対策は、高性能化が急速な現在の半導体装置では、非常に困難になりつつある。また、高

50

周波動作を行う環境を整え、高速なLSIテストを導入することは、製造原価の増加をもたらすという欠点がある。

【0010】本発明の目的は、高速クロックでの動作を行える高性能LSIテストや、LSIを高速で、安定に動作させるための高周波特性のよい治具を要求しない、安価で、測定精度の高い半導体装置用試験方法及び装置を提供することにある。

#### 【0011】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置用試験方法は、CMOS回路を搭載した半導体装置の特性を試験する半導体装置の試験方法において、前記半導体装置にクロック信号を入力させ、クロック動作タイミングから電源電流を増加して、再度定常的に0となるまでの遅延時間の逆数から最高動作周波数を求めるものである。

【0012】また、同一構成の複数個の半導体装置に対して、その対応する入力端子に試験用の信号波形を与え、該複数個の半導体装置からの電流波形の波形の差分を求め、前記半導体装置の最高動作周波数を相対的に求めるものである。

【0013】また、本発明に係る半導体装置用試験装置は、半導体テストと、観測手段とを有し、CMOS回路を搭載した半導体装置の特性を試験する半導体装置用試験装置であって、前記半導体テストは、前記半導体装置に試験用の信号波形を印加するものであり、前記観測手段は、前記半導体装置の電源電流の時間応答波形を観測し、その電流波形の形状により、該半導体装置の最高動作周波数を求めるものである。

【0014】また、前記半導体装置は、クロック入力端子とその入力端子に同期して動作を行う複数個のフリップ・ブロックによる順序回路と、それらフリップ・フロップに接続された組合回路とからなるものである。

【0015】また、前記半導体テストは、同一構成の複数個の半導体装置に対して、その対応する入力端子に試験用の信号波形を与えものであり、前記観測手段は、前記複数個の半導体装置からの電流波形の波形の差分を求め、前記半導体装置の最高動作周波数を相対的に求めるものである。

#### 【0016】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0017】(実施形態1)図1は、本発明の実施形態1を示す構成図である。

【0018】図1において、本発明の実施形態1に係る半導体装置用試験装置は、試験対象となる半導体装置LSIの入力端にクロックCLK及びその他の信号を与える信号を与えるLSI(半導体)テスト5と、試験対象の半導体装置LSIの動作電流を観測する電流測定装置6とを有している。

【0019】ここで、試験対象の半導体装置LSIは、クロック入力端子とその入力端子に同期して動作を行う複数個のフリップ・ブロックによる順序回路と、それらフリップ・フロップに接続された組合回路とからなるものであって、具体的には、クロックCLKに同期して動作する複数個のフリップ・フロップFF1、2と、それらのフリップ・フロップFF1、2間に単純ゲートで構成された組合回路3とから構成されている。また、LSIテスト5は、半導体装置LSIに特定の機能動作を行わせるために、クロックCLKとクロックCLKに同期して複数入力端子分のパターンを順次出力するようになっている。

【0020】図2は、図1の試験対象となる半導体装置LSIのクロック端子に与えられるクロックCLKの信号電圧波形と、半導体装置LSIに内包した組合回路3が outputする内部波形(出力電圧波形)、半導体装置LSIの電源端子を流れる電流Id(電源電流波形)を時間軸をそろえて図示したものである。

【0021】CMOSゲート回路での電源電流は、動作時の過渡応答での各部の容量を充放電電流や、ゲート電圧が、中間電位を取って、CMOSゲートのPチャネル側/Nチャネル側のトランジスタとも導通状態になった状態の貫通電流などの総和として表され、回路が停止している場合には、0となる。

【0022】図1の構成では、クロックCLKの入力により、まず、FF1の出力が変化し、FF1の出力部での信号変化の過渡応答時間の間、そのFF1の出力部から見える負荷容量を充放電する電流とFF1自体の貫通電流で決まる電流が流れる。また、そのFF1の直後に位置する組合回路3のゲートは、FF1の出力の変化から、ゲート遅延時間分だけ遅れて動作をおこない、同様に、負荷容量と貫通電流分に相当する電流が流れる。これらの動作が、FF1、2間の組合回路3の各動作バスのゲートで順次発生し、最終的に、もっとも遅延時間の大きな動作バス(最大遅延バス波形)でのFF1入力での信号の過渡応答が完了した時点で、半導体装置LSIの全電源電流は0となる。

【0023】この変化をクロック入力信号と半導体装置内部のゲートの信号波形、電源電流波形として示したもののが図2であり、クロック入力信号の変化から回路動作遅延分だけ遅れた形で、組合回路3のゲートは動作し、その中で最大遅延バスとなるゲートの出力部での電圧の変化が完了した時点で、半導体装置LSIに流れる電源電流Idの波形は0となる。

【0024】電流測定装置6では、半導体装置LSIの電源電流Idの波形を、クロックCLKの入力からの過渡応答として観測し、電流が流れ始めて再び0になるまでの時間を見積もることにより、半導体装置LSIのFF1、2間の最大遅延バスの遅延時間を測定する。また、LSIテスト4によりクロックCLKに同期して半

5

導体装置 LSI に入力する信号パターンを変化させることにより、FF1、2 間で活性化する動作バスを変更し、その活性動作バスでの最大遅延を求めるこどもできる。

【0025】(実施形態2) 図3は、本発明の実施形態2に係る半導体装置の試験装置を示す構成図である。図1に示す本発明の実施形態1に係る測定装置は、1個の半導体装置LSIの電源電流Iddを観測して半導体装置LSIの内部回路の動作特性を求めているが、これに対して図3に示す本発明の実施形態2に係る測定装置は、同一の回路構成の2個の半導体装置LSI1, LSI2の入力端子にLSI1テスター5から各同一の入力波形を与え、その2個の半導体装置LSI1, LSI2の動作電流Idd1, Idd2を電流測定装置6a, 6bで検出し、その波形を比較器7で比較して内部動作特性を求めるようにしたものである。

【0026】また説明の都合上、半導体装置LSI1に比べて、半導体装置LSI2の方が回路を構成するゲートの能力が低く、最高動作周波数が低いものと仮定する。

【0027】図4は、本発明の実施形態2に係る試験方法において、半導体装置LSI1, LSI2の電源電流Idd1, Idd2を、同一の入力波形を与えた場合の電流波形の時間変化を示したものである。

【0028】電流波形Idd1, Idd2を比較すると、過渡応答が劣る半導体装置LSI2の電流波形Idd2の方が、クロックの変化に対する電流波形の応答時間が長くなり、電流波形のピーク値が低くなる。

【0029】一方の半導体装置の最高動作周波数が既知であれば、この電流波形の差分を観測することにより、\*30

6

\* もう一方の半導体装置の最高動作周波数の値を相対的に求めることができる。

【0030】また、本実施形態では、2個の電源電流測定系とその比較部を等長に配置することで、LSIテスターのクロックとの時間スキーを考慮しなくても精度の高い測定が可能であるという効果がある。さらに、本実施形態では、比較を行う半導体装置の数は増加することが容易であり、並列測定を簡便に行えるという効果もある。

10 【0031】

【発明の効果】以上説明したように本発明によれば、最高動作周波数試験において、測定時のLSI試験装置の動作周波数を高めることなしに、精度良く試験を行う半導体装置の最高動作周波数を測定することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1を示す構成図である。

【図2】図1に示す半導体試験装置の動作時の電圧電流の時間変化を示す図である。

【図3】本発明の実施形態2を示す構成図である。

20 【図4】図4に示す半導体試験装置の半導体装置の2つの電源電流の時間変化と、その差分を示す図である。

【図5】フリップ・フロップを含む同期式回路をもつ半導体装置を示す構成図である。

【図6】従来例の半導体試験装置を示す構成図である。

【符号の説明】

1, 2 フリップ・フロップ (FF)

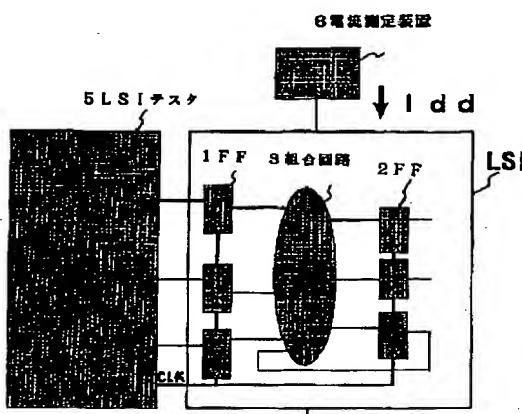
3 組合回路

5 LSIテスター

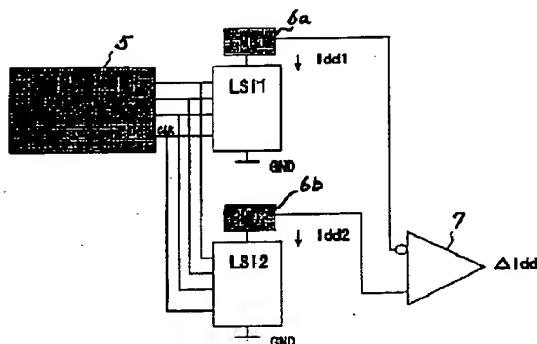
6a, 6b 電流測定装置

7 比較器

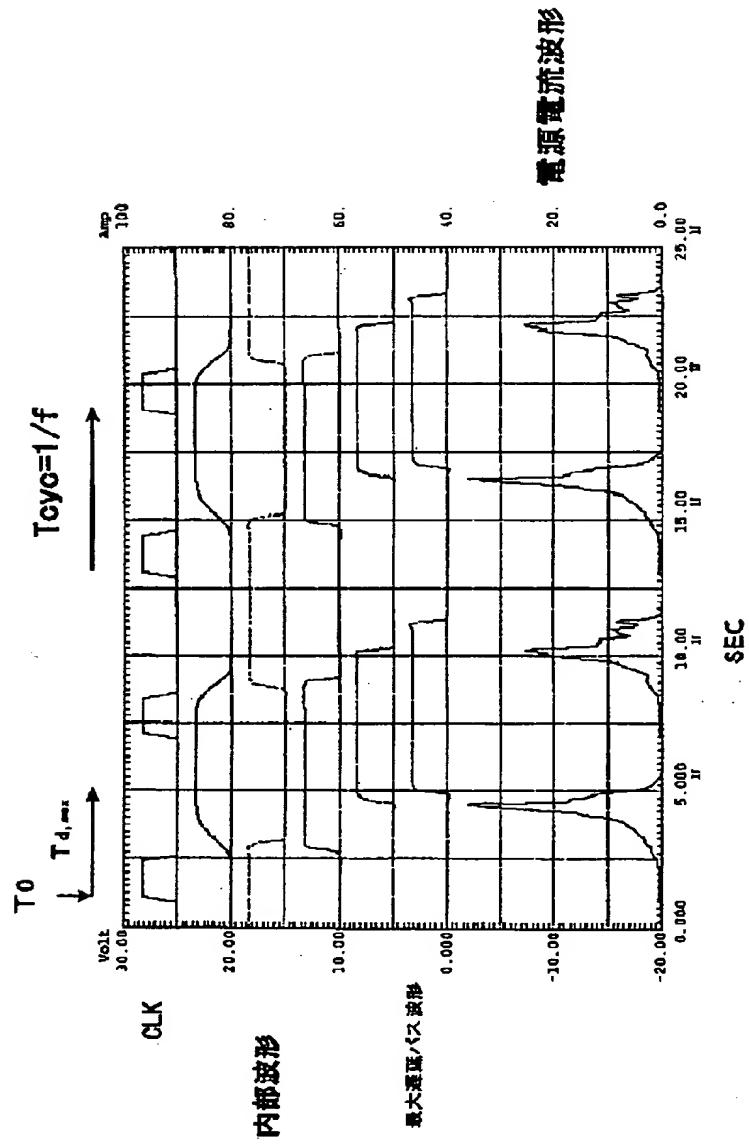
【図1】



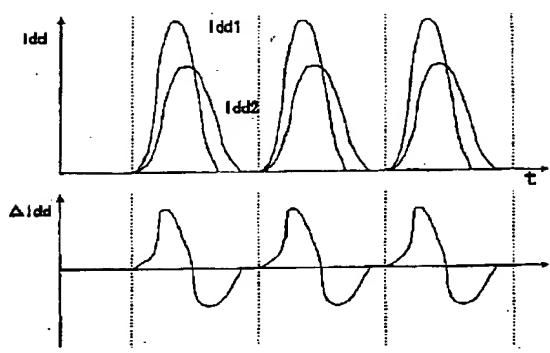
【図3】



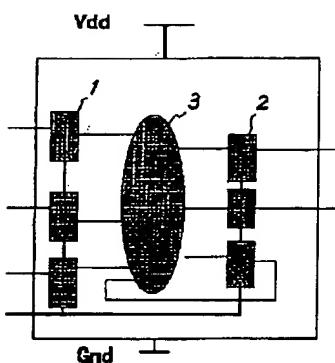
【図2】



【図4】



【図5】



【図6】

